

## ⑫ 公開特許公報(A)

昭62-238670

⑬ Int. Cl.<sup>4</sup>H 01 L 29/78  
27/04  
27/10

識別記号

庁内整理番号

7514-5F  
A-7514-5F  
7735-5F

⑭ 公開 昭和62年(1987)10月19日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭61-83043

⑰ 出 願 昭61(1986)4月9日

⑱ 発 明 者 安 藤 伸 朗 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 発 明 者 香 田 憲 次 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 発 明 者 外 山 毅 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

㉑ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉒ 代 理 人 弁理士 早瀬 憲一

## 明 細 書

## 1. 発明の名称

半導体記憶装置

## 2. 特許請求の範囲

(1) 半導体基板表面上に所定の間隔をおいて形成されたソース拡散領域とドレイン拡散領域と、該両領域間の上記基板表面上に絶縁性の膜を介して形成されたコントロールゲートとからなる不揮発性半導体メモリが、マトリクス状に配列され、

上記コントロールゲートは第1の方向に相互に連続的に接続され、

該第1の方向と直角な第2の方向にある各ドレインはドレイン金属配線で接続され、

上記ソース領域は拡散領域により相互に連続的に接続され、

上記ソース領域は上記ドレイン金属配線の3本以上につき1本の割合で第2の方向に延びる接地金属配線と電気的に接続され、

上記絶縁性の膜の厚さの違い、又は上記ドレイン拡散領域とドレイン金属配線との電気的接続の

有無により製造段階であらかじめ情報を記憶させるようにした半導体記憶装置において、

上記コントロールゲートのチャネル長を上記接地金属配線からの距離が大きいほど小さくしたことを特徴とする半導体記憶装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、電界効果型トランジスタ、特に半導体基板とコントロールゲートとの間の絶縁性の膜の厚さの違い、又はドレイン金属配線とドレイン拡散領域との間のコンタクトの有無により製造段階で情報を記憶させる不揮発性メモリトランジスタを、アレー状に配列した記憶装置に関するものであり、情報の読み出しを行なう際に各メモリトランジスタから均等に読み出しができるようにすることを目的とするものである。

(従来技術)

従来、一般的に半導体記憶装置は第3図に示すような構成をとっている。第3図は絶縁性の膜の厚さを変化させることによりあらかじめ情報を記

憶させる半導体記憶装置のメモリアレーの一部を簡単に描いたものである。図において、 $T_r 1$ 、 $T_r 2$ 、 $T_r 3$ はメモリトランジスタであり、このうち $T_r 3$ は絶縁性の膜が厚いメモリトランジスタである。1はメモリトランジスタのソースライン、1a～1fはソースコンタクト、2a～2dはメモリトランジスタのゲートライン、3a～3hはメモリトランジスタのドレインコンタクト、4a、4bはソースコンタクトをA1でつないだソースコンタクトライン、5a～5hはドレインコンタクトをA1でつないだドレインラインである。

次に、第3図のメモリアレーの等価回路図を示す第4図について説明する。第3図と同一記号は同一部分である。図において、Rは $T_r 1$ のソースのソースコンタクト1aからの抵抗であり、かつ隣り合うメモリトランジスタ、例えば $T_r 1$ と $T_r 2$ のソース間の抵抗である。メモリアレーにおいて、同一行上のメモリトランジスタのゲートは同一のゲートライン2a～2dで、同一列上の

メモリトランジスタのドレインは同一のドレインライン5a～5hでそれぞれ接続されている。またソースはソースライン1とソースコンタクトライン4a、4bですべてGNDに接続されている。

第5図は第3図、第4図に示した $T_r 1$ と $T_r 2$ の部分拡大して示したものである。第5図中、第3図、第4図と同一記号は同一部分である。1は $T_r 1$ 、 $T_r 2$ に読み出しをおこなうときに流れる電流である。第6図は第4図に示した各メモリトランジスタのソース・ソースコンタクト間の抵抗の特性を示す。メモリトランジスタ8個おきにソースコンタクトをとった場合には第4図中左からn番目のソースとソースコンタクトとの間の抵抗は

$$R_n = R \cdot \frac{n(9-n)}{9} \quad (n=1 \sim 8)$$

となり図のような特性を示す。

第7図、第8図はそれぞれ第3図に示したメモリアレーのVI-VII間及びVII-VIII間の断面図を示す図中、第3図と同一記号は同一部分である。Lは

メモリトランジスタのコントロールゲートのチャネル長、6は絶縁性の膜である。第7図に示す $T_r 2$ では、ゲートライン2a及びドレインライン5bに読み出し電圧を印加するとソース・ドレイン間にチャネルが形成されONするが、第8図に示す $T_r 3$ では、ゲートライン2c及びドレインライン5dに読み出し電圧を加えてもソース・ドレイン間に厚い絶縁性の膜6があるためチャネルが形成されずONしない。

ここで説明する半導体記憶装置は、このような2種類のメモリトランジスタをアレー状に配列することにより、製造段階であらかじめ情報が記憶されているものである。

次に動作について説明する。メモリトランジスタ $T_r 1$ から読み出しをおこなう場合には、ゲートライン2aとドレインライン5aを選択し、読み出し電圧 $V_{cc}$ を印加する。このとき、上記 $T_r 1$ のソースはソースコンタクトライン4a及び4bによってGNDに接続されているが、実際はソースコンタクト1a及び1dと $T_r 1$ のソース

との間にソースライン1の $N^+$ 拡散領域による抵抗 $R_1$ があるので、 $T_r 1$ のソースの電位はGNDより $R_1$ だけ高くなっている。次に、 $T_r 2$ から読み出しをおこなう場合には、ゲートライン2aとドレインライン5bとを選択し、電圧を印加する。このとき、上記 $T_r 2$ のソース電位はソースコンタクト1a、1dからの $N^+$ 拡散領域による抵抗 $R_2$ により $R_2$ だけGNDより高くなっている。ソース電位が高くなると、メモリトランジスタのゲート電位が見かけ上低くなるので、ゲート及びドレインの電位が同じであるならば、ソース電位が高いほど読み出しを行ないにくくなる。従ってこの場合では、 $T_r 1$ より $T_r 2$ の方がソース電位が高いので、 $T_r 2$ は $T_r 1$ に比べて読み出しを行ないにくいこととなる。また、2本のソースコンタクトライン4a、4bにはさまざまなメモリトランジスタについて考えてみると、ソースコンタクト1a～1fから遠いメモリトランジスタ、すなわち、上記両ソースコンタクトライン4a、4bの間にあるメモリトランジスタ

ほど読み出しを行いにくいこととなる。

(発明が解決しようとする問題点)

従来の半導体記憶装置は以上のように構成されており、読み出しを行なう際、ソースコンタクトラインから離れているメモリトランジスタほどソースの電位がGNDより高くなりそのゲート電位が見かけ上低くなるので、そのようなメモリトランジスタほど読み出しを行ないにくいという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、全メモリトランジスタに対し均等に読み出しを行なうことができる半導体記憶装置を得ることを目的とする。

(問題点を解決するための手段)

この発明に係る半導体記憶装置は、メモリトランジスタのコントロールゲートのチャネル長をソースコンタクトラインから離れているメモリトランジスタほど小さくしたものである。

(作用)

この発明においては、メモリトランジスタのコ

ントロールゲートのチャネル長をソースコンタクトラインから離れているメモリトランジスタほど小さくしたので、チャネル長が小さくなるほどメモリトランジスタのしきい値 $V_{th}$ が下がり読み出し時に流れる電流 $I$ が大きくなって読み出しを行ないやすくなり、このためソース電位のGNDからの押込みが相殺され、全メモリトランジスタに均等に読み出しを行なうことができる。

(実施例)

以下、この発明の一実施例を図について説明する。

第1図はこの発明の一実施例による半導体記憶装置を示し、図において、 $Tr1 \sim Tr3$ 、 $1a \sim 1f$ 、 $3a \sim 3h$ 、 $4a$ 、 $4b$ 、 $5a \sim 5h$ は第3図と同じものを示す。 $2a \sim 2d$ はソースコンタクトライン $4a$ 、 $4b$ から離れているメモリトランジスタほどそのコントロールゲートのチャネル長が小さくなるよう形成されたゲートライン、 $L1$ 、 $L2$ はそれぞれ $Tr1$ 、 $Tr2$ のコントロールゲートのチャネル長である。また、第

1図の等価回路図は第4図と同一である。第2図は第1図に示した $Tr1$ 、 $Tr2$ の回路を拡大して示したものであり、図中、第1図と同一記号は同一部分を示す。 $I_1$ 、 $I_2$ はそれぞれ $Tr1$ 、 $Tr2$ から読み出しを行なうときに流れる電流である。

次に動作について説明する。メモリトランジスタ $Tr1$ 、 $Tr2$ からの読み出しは従来と同様に行なう。この時、 $Tr1$ は $N^+$ 拡散領域による抵抗 $R_1$ があるので、そのソース電位はGNDより $R_1 I_1$ だけ高くなっており、 $Tr2$ は抵抗 $R_2$ があるので、そのソース電位はGNDより $R_2 I_2$ だけ高くなっている。従って $Tr2$ のソース電位は $Tr1$ のソース電位より $R_2 I_2 - R_1 I_1$ だけ高くなっている。しかしながら、 $Tr1$ のチャネル長 $L1$ と $Tr2$ のチャネル長 $L2$ とを比較すると、 $L2$ の方が $L1$ より小さくなっているので、 $I_2$ の方が $I_1$ より大きくなる。すなわち、 $Tr2$ は $Tr1$ よりソース電位が高い分だけチャネル長が小さいので電流が流れやすく、 $Tr1$ と

$Tr2$ とは同等に読み出しを行なうことができる。

同様に、ソースコンタクトラインからさらに離れているメモリトランジスタについても、第1図に示すように $N^+$ 拡散領域による抵抗でソース電位がGNDより高くなった分だけチャネル長が小さくなっているので、 $Tr1$ と同等に読み出しを行なうことができる。

このように本実施例装置ではソースコンタクトラインから離れているメモリトランジスタほどそのコントロールゲートのチャネル長を小さくしたので、すべてのメモリトランジスタについて均等に読み出しを行なうことができる。

ここでチャネル長を小さくするには、従来のマスターマスクによる方法では1:1の露光のため、マスクを実寸で作らねばならず、 $0.25 \mu m$ ピッチでしか加工できないEB装置では2~3  $\mu m$ のチャネル長を微妙に変化させることは不可能であった。しかし、5:1又は10:1の露光が可能な縮小露光投影装置の出現で、5倍又は10倍のレティクルを作れるようになったことにより、 $0.25$

$\mu\text{m}$ ピッチのEB装置でも $0.025\ \mu\text{m}$ ピッチの加工ができるようになり、チャネル長を微妙に変化させることも容易となっている。

なお、上記実施例ではソースコンタクトライン間にメモリトランジスタが8個ある場合について説明したが、ソースコンタクトライン間のトランジスタはいくつであってもよく、その場合でも上記のようにソースコンタクトラインから離れているメモリトランジスタほどチャネル長を小さくするようにすれば同様の効果を得ることができる。また、上記実施例では、半導体基板とコントロールゲートとの間の絶縁性の膜の厚さの違いにより情報を予め記憶させる方式の半導体記憶装置について説明したが、これはドレインコンタクトの有無による方式の半導体記憶装置であってもよく、全く同様の効果を奏するものである。

#### (発明の効果)

以上のようにこの発明の半導体記憶装置によれば、メモリトランジスタのコントロールゲートのチャネル長をソースコンタクトラインから離れて

いるものほど小さくするようにしたので、全てのメモリトランジスタに均等に読み出しを行なうことができる効果がある。

#### 4. 図面の簡単な説明

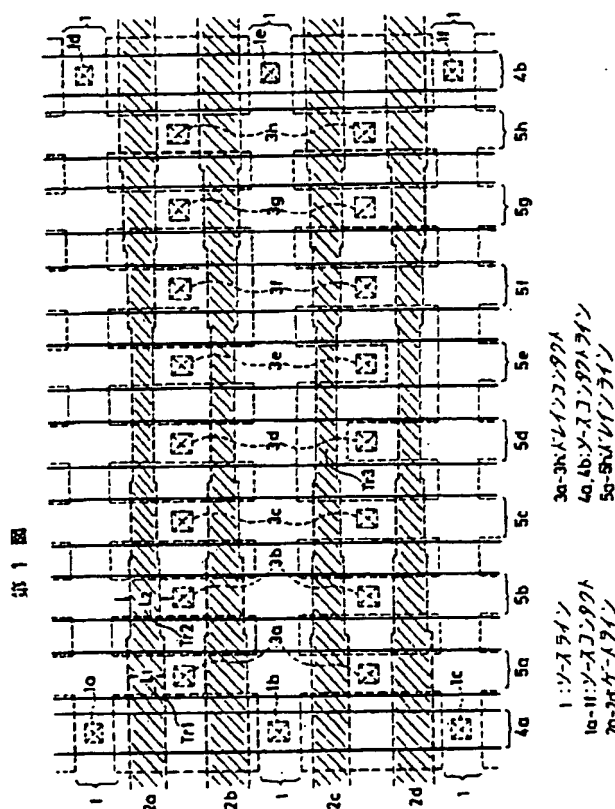
第1図はこの発明の一実施例による半導体記憶装置の一部を示す構成図、第2図はその半導体記憶装置のメモリトランジスタを示す等価回路図、第3図は従来の半導体記憶装置の一部を示す構成図、第4図は従来及びこの発明の一実施例による半導体記憶装置の一部を示す等価回路図、第5図は従来の半導体記憶装置のメモリトランジスタを示す等価回路図、第6図は従来及びこの発明の一実施例による半導体記憶装置におけるソースコンタクトラインからの距離とソースラインの $N^+$ 拡散領域による抵抗との関係を示す図、第7図、第8図は従来の半導体記憶装置のメモリトランジスタを示す断面図である。

図において、 $Tr1$ 、 $Tr2$ 、 $Tr3$ はメモリトランジスタ、1はソースライン、 $1a\sim1f$ はソースコンタクト、 $2a\sim2d$ はゲートライン、

$3a\sim3h$ はドレインコンタクト、 $4a$ 、 $4b$ はソースコンタクトライン、 $5a\sim5h$ はドレインライン、6は絶縁性の膜である。

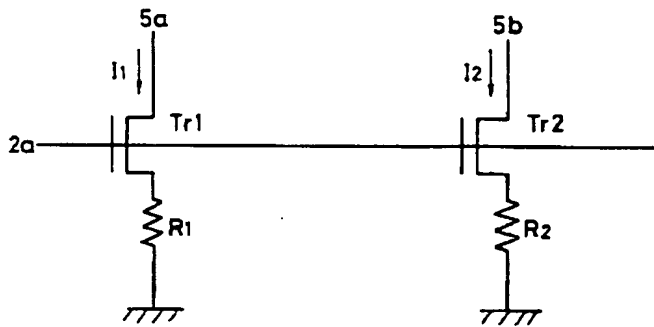
なお図中同一符号は同一又は相当部分を示す。

代理人 早 瀬 憲 一



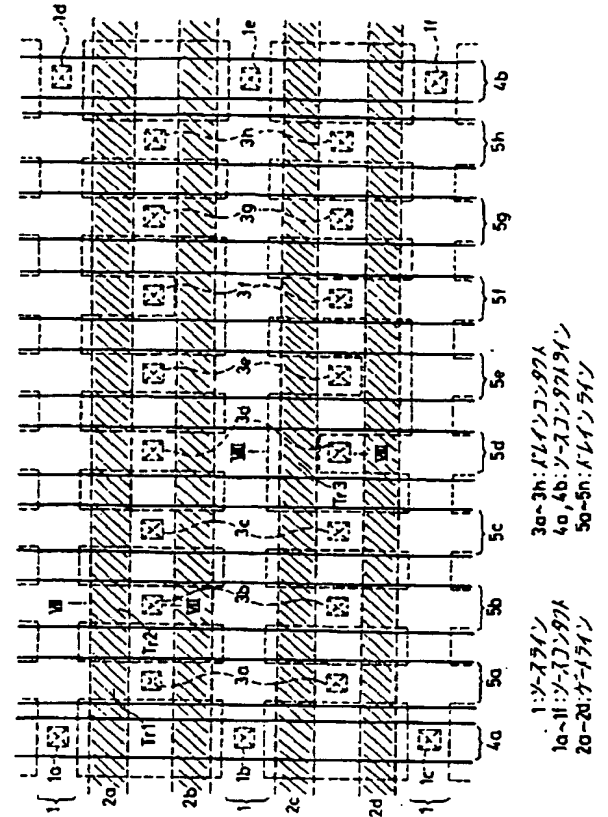
BEST AVAILABLE COPY

第2図

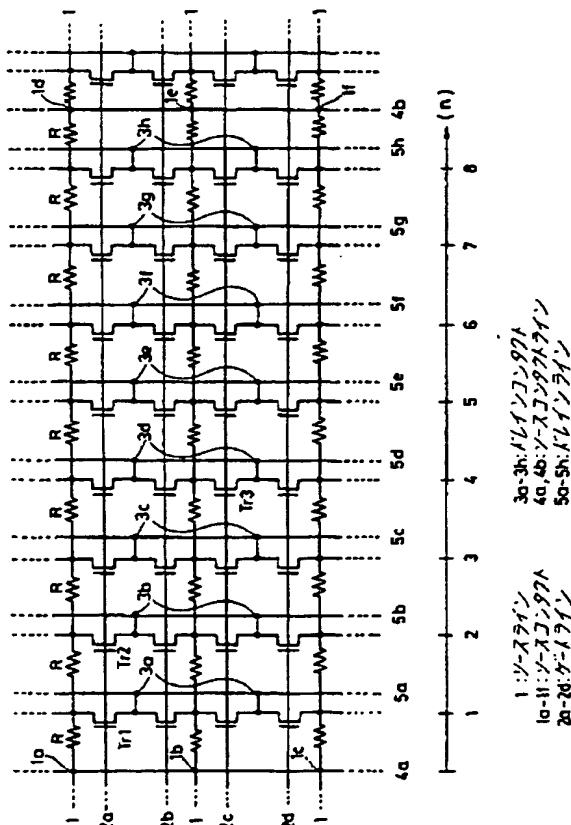


2a:ゲートライン  
5a,5b:ドレインライン

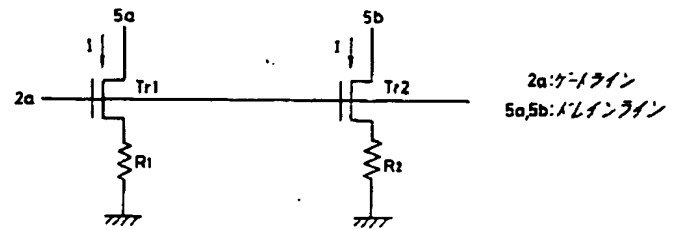
第3図



第4図

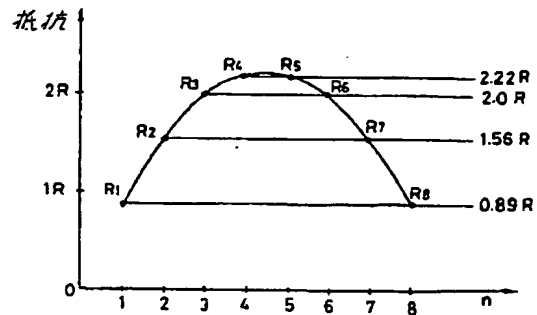


第5図

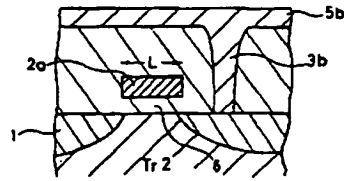


2a:ゲートライン  
5a,5b:ドレインライン

第6図

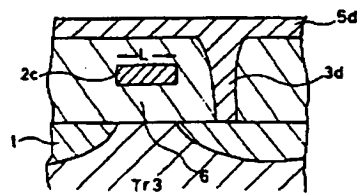


第7図



- 1:ソースライン
- 2a:ゲートライン
- 3b:ドレインコンタクト
- 5b:ドレインライン
- 6:絶縁性の膜

第8図



- 2c:ゲートライン
- 3d:ドレインコンタクト
- 5d:ドレインライン
- 6:絶縁性の膜

BEST AVAILABLE COPY